



-1-

Japanese Examined Patent Publication No. 7-120146/1995

(Tokukohei 7-120146)

(Published on December 20, 1995)

The patent publication corresponds to the Japanese Laid Open Patent Application No. 5-35226/1993 (Tokukaihei 5-35226; published on February 12, 1993).

RECEIVED  
SEP 28 2001  
TECHNOLOGY CENTER 2800

(A) Relevance to claims

The following is a translation of passages generally related to the present invention.

(B) Translation of the passages.

RECEIVED  
OCT 03 2001  
Technology Center 2600

[Claims]

[Claim 1] A liquid crystal display, ...

wherein:

...

the middle potential of the data signal and the potential of the common electrode has such a difference in advance that offsets a potential, of the pixel electrode, which varies because charges accumulated in a parasitic capacitance of the thin film transistor during a selection period of the gate signal move toward the



**THIS PAGE BLANK (USPTO)**

4

pixel electrode during a non-selected period of the gate signal.

[0008]

[Means to Solve the Problems] A liquid crystal display in accordance with the present invention ..., and is characterized in that

...

the middle potential of the data signal and the potential of the common electrode has such a difference in advance that offsets a potential, of the pixel electrode, which varies because charges accumulated in a parasitic capacitance of the thin film transistor during a selection period of the gate signal move toward the pixel electrode during a non-selected period of the gate signal.

[0015] In Figure 8, 801 represents a gate line, 802 a data line, 803 a TFT, 804 a liquid crystal display cell, 805 a data line drive signal source, 806 a gate line drive signal source, 807 a first bias source, 808 a second bias source, and  $C_s$  a parasitic capacitance of the TFT. In Figure 9, 901 represents a data line drive signal waveform, and 902 represents a gate line drive signal

**THIS PAGE BLANK (USPTO)**

waveform.

[0016] Figure 10 shows a liquid crystal display cell being driven by a gate line drive signal  $V_G$  and a data line drive signal  $V_D$ .  $V_{LC}$  shows variations of the voltage applied to the liquid crystal display cell. Because of the effect of the parasitic capacitance  $C_s$  of the TFT in Figure 8,  $V_{LC}$  moves to the negative side on a fall of the gate line drive signal  $V_G$  (when the gate signal switches from a selection period to a non-selection period) by an amount given by:

[0017]

$$\frac{C_s}{C_{LC} + C_s} \quad \dots \text{eq. 1}$$

[0018] Consequently, in the negative frame A,  $V_{LC}$  changes right after the data is written, so that the effective value of  $V_{LC}$  increases; in the positive frame B,  $V_{LC}$  changes right after the data is written, so that the effective value of  $V_{LC}$  decreases. Therefore, the waveform of  $V_{LC}$  shows a certain level of direct voltage component, which drastically cuts down on the lifetime of the liquid crystal.

[0019] The present invention is aimed at removing the direct voltage component in  $V_{LC}$  by maintaining a constant bias voltage  $V_{B2}$  between the zero level of the data line

**THIS PAGE BLANK (USPTO)**

drive signal and the common electrode of the liquid crystal cell, thereby compensating for the asymmetry of the  $V_{LC}$  waveform and preventing degradation of the liquid crystal.

**THIS PAGE BLANK (USPTO)**





RECEIVED  
SEP 28 2001  
TECHNOLOGY CENTER 2800

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-120146

(24) (44) 公告日 平成 7 年(1995)12月20日

(51) Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 2 5			
	5 5 0			

発明の数 1 (全 7 頁)

(21) 出願番号	特願平4-5950	(71) 出願人	000002369
(62) 分割の表示	特願昭63-29155の分割		セイコーエプソン株式会社
(22) 出願日	昭和57年(1982) 4 月 6 日		東京都新宿区西新宿 2 丁目 4 番 1 号
(65) 公開番号	特開平5-35226	(72) 発明者	三澤 利之
(43) 公開日	平成 5 年(1993) 2 月 12 日		長野県諏訪市大和 3 丁目 3 番 5 号株式会社
			諏訪精工舎内
		(72) 発明者	両角 伸治
			長野県諏訪市大和 3 丁目 3 番 5 号株式会社
			諏訪精工舎内
		(72) 発明者	中澤 良雄
			長野県諏訪市大和 3 丁目 3 番 5 号株式会社
			諏訪精工舎内
		(74) 代理人	弁理士 鈴木 喜三郎 (外 1 名)
		審査官	鈴野 幹夫

(54) 【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 一对の基板間に液晶が封入され、該基板の一方の基板上には共通電極が形成され、他方の基板上には画素電極と、該画素電極に接続されてなる薄膜トランジスタと、該薄膜トランジスタを介して該画素電極にデータ信号を供給してなるデータ線と、該薄膜トランジスタにゲート信号を供給してなる走査線を有してなる液晶表示装置において、  
該画素電極に印加される該データ信号は、1 垂直走査期間毎に位相が反転されてなり、該ゲート信号の選択期間中に該薄膜トランジスタの寄生容量に充電された電荷が、該ゲート信号の非選択期間中に該画素電極側に移動することにより変化する画素電極の電位を相殺する電位差が、あらかじめ該データ信号の中心電位と該共通電極の電位との間に形成されてなることを特徴とする液晶表

示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（以下、TFTと略記）を用いてスイッチアレイを形成した液晶表示装置に関する。

【0002】 図 1 (a) はマトリクス型液晶表示装置の構成を示しており、101～103はゲート線、104～107はデータ線、108～110等は画素である。画素は、図 1 (b) のごとく、ゲート線 111 とデータ線 112 との交点に形成されたスイッチング用 TFT 113、浮遊容量 114 及び液晶セル 115 より成っている。116、117 はそれぞれ液晶セルの駆動電極及び共通電極である。

【0003】 図 1 (b) のデータ線 112 に図 1 (c)

(2)

の $V_D$ のごときデータ信号に相当する電圧が印加され、図1(b)のゲート線111に図1(c)の $V_G$ のごときゲート線駆動電圧が印加される。TFT113がN型TFTである場合、 $V_G$ がハイである期間にデータ線112の信号が液晶セル115に書き込まれ、115に書き込まれた信号は $V_G$ がローである期間中保持される。図1(c)においてAは $V_D < 0$ である負フレームを、Bは $V_D > 0$ である正フレームを表わす。

【0004】従来、マトリクス型液晶表示装置のスイッチとして単結晶シリコン基板内に形成されたMOSトランジスタが用いられていた。単結晶シリコンMOSトランジスタが用いられていた。単結晶シリコンMOSトランジスタの電圧-電流特性(ゲート・ソース電圧 $V_{GS}$ -ドレイン・ソース電流 $I_{DS}$ 特性)は、図2の201に示すようにON/OFF比が大きく、弱反転領域での電流変化が急しゅんであり遮断領域でのリーク電流は小さい。従って、非導通時のTFTが図2の202の領域で動作するように、図3に示すごとく、ゲート線駆動信号302とデータ線駆動信号301のバイアス関係が定められていた。

【0005】しかし、単結晶シリコンMOSトランジスタをスイッチに用いたマトリクス型液晶表示装置と同様な方法でTFTをスイッチに用いたマトリクス型液晶表示装置の駆動を行おうとすると、次に述べるような問題が生ずる。シリコン薄膜によるTFTの電圧-電流特性の一例を図4に示す。

【0006】 $I_{DS}$ は、ドレイン・ソース電流、 $V_{GS}$ は、ゲート・ソース電圧である。401、402はそれぞれドレイン・ソース電圧 $V_{DS}$ を $V_{DS}=V_1$ 、 $V_{DS}=V_2$ とした電圧-電流特性である。ただし、 $V_2 > V_1$ 。TFTの電圧-電流特性の特徴は、弱反転領域403で電流変化が単結晶シリコンMOSトランジスタに比べて緩慢であること、遮断領域におけるリーク電流レベルが大きいこと、及び遮断領域404においてPN接合部リーク電流による $I_{DS}$ の増加がみられることである。

【0007】図3のごときバイアス関係で液晶セルの駆動を行なうと、TFTのゲート・ソース間電圧 $V_{GS}$ が図4の405の範囲で変化する。このとき、非導通時のTFTに流れるPN接合電流は相当大きくなり、これは画面への表示ムラとして現われ表示性能を大きくそこなうものである。

【0008】

【問題を解決するための手段】本発明の液晶表示装置は、一対の基板間に液晶が封入され、該基板の一方の基板上には共通電極が形成され、他方の基板上には画素電極と、該画素電極に接続されてなる薄膜トランジスタと、該薄膜トランジスタを介して該画素電極にデータ信号を供給してなるデータ線と、該薄膜トランジスタにゲート信号を供給してなる走査線を有してなる液晶表示装置において、該画素電極に印加される該データ信号は、

1垂直走査期間毎に位相が反転されてなり、該ゲート信号の選択期間中に該薄膜トランジスタの寄生容量に充電された電荷が、該ゲート信号の非選択期間中に該画素電極側に移動することにより変化する画素電極の電位を相殺する電位差が、あらかじめ該データ信号の中心電位と該共通電極の電位との間に形成されてなることを特徴とする。

【0009】図5は、ゲート線駆動信号の零レベルとデータ線駆動信号の零レベルの間にTFTの電圧-電流特性に合わせた一定のバイアス電圧 $V_B$ を設けることにより、非導通時のTFTがその動作範囲内において極小のリーク電流を有するようにするものである。

【0010】図5において、501はゲート線、502はデータ線、503はスイッチング用TFT、504は液晶表示セル、505はデータ線駆動信号源、506はゲート線駆動信号源である。

【0011】図6及び図7は本発明の実施例を示すものである。601、602はそれぞれ図4の401、402と同一の電圧-電流特性の曲線である。

【0012】601、602の電圧-電流特性を有するTFTでマトリクス型液晶表示装置のスイッチを形成する場合、非導通時のTFTのリーク電流が極小となるような動作範囲は図6の603に示す範囲である。このように非導通時のTFTの動作範囲、即ち非導通時のTFTのゲート・ソース間電圧 $V_{GS}$ の変化範囲を、リーク電流が極小となるような領域に設定するために、本発明では、図7のごときゲート線駆動信号702の零レベル $V_D = 0$ とデータ線駆動信号701の零レベル $V_D = 0$ との間に $V_B$ のバイアス電圧を設ける。

【0013】上記の駆動方法によると、図3のごとき駆動方法に比較して、非導通時のTFTのリーク電流の平均値は50%~90%低減される。本発明の駆動方法を実現するための回路構成は、図5の例に示すごとく $V_B$ の値を外部から調整可能とすることが望ましい。 $V_B$ を外部から調整可能とすることによりTFT特性の製造ロット間ばらつきに容易に対処できる。バイアス電圧 $V_B$ の値を外部から任意に設定することにより生ずるもう一つの効果は、スイッチング用TFTのゲート及びゲート線に付加する寄生容量への充放電電流を減らして低消費電力化が達成されることである。TFTの寄生容量、ゲート線の寄生容量はそのほとんどがゲート線とデータ線の間又はゲート線と液晶駆動電極の間に付いている。従って、 $V_B$ を負の値に設定することにより前記寄生容量を充放電するための電流は低減され低消費電力化が達成される。

【0014】図8、図9に本発明の他の実施例を示す。

【0015】図8において、801はゲート線、802はデータ線、803はTFT、804は液晶表示セル、805はデータ線駆動信号源、806はゲート線駆動信号源、807は第1のバイアス電源、808は第2のバ

(3)

イアス電源、 $C_S$  はTFTの寄生容量である。図9において、901はデータ線駆動信号波形、902はゲート線駆動信号波形である。

【0016】図10は、液晶表示セルがゲート線駆動信号 $V_G$ 及びデータ線駆動信号 $V_D$ によって駆動されている様子を示し、 $V_{LC}$ は液晶表示セルに加わる電圧の変化の様子を示す。図8に示すTFTの寄生容量 $C_S$ の影響により、ゲート線駆動信号 $V_G$ の立ち下がり（ゲート信号の選択期間から非選択期間への切り替わり）と同時に $V_{LC}$ は

【0017】

【数1】

$$\frac{C_S}{C_{LC} + C_S} \cdot V_G$$

【0018】だけ負側に変化する。このため、負フレームAにおいては、データが書き込まれた直後 $V_{LC}$ の実効値が大きくなるように変化し、正フレームBにおいてはデータが書き込まれた直後 $V_{LC}$ の実効値が小さくなるように変化する。従って、 $V_{LC}$ の波形は図10に示すごとく一定の直流分を含んだものとなり、液晶の寿命を著しく短くするという問題を生ずる。

【0019】本発明は、データ線駆動信号の零レベルと液晶セルの共通電極との間にも一定のバイアス電圧 $V_{B2}$ を設けることにより前述の $V_{LC}$ に含まれる直流分を除去して $V_{LC}$ の波形の上下非対称性を補償し、直流駆動による液晶の劣化を防ぐというものである。図8に示すごとく、ゲート線駆動信号源のバイアス電圧 $V_{B1}$ とデータ線駆動信号源のバイアス電位 $V_{B2}$ とは独立に外部から設定できるようにすることによって、非導通時のTFTの

ーク電流低減による表示ムラの除去及び液晶に加わる直流電圧の除去による表示装置の高信頼性を同時に実現することができる。

【0020】

【発明の効果】以上述べたごとく、本発明の構成によれば、液晶を交流駆動する際に、液晶容量や薄膜トランジスタの寄生容量に伴い発生する駆動電圧の非対称性を補償することができる。そして、液晶に直流電圧が印加されて液晶を劣化させたり、表示ムラを発生したりすることなく、信頼性の高い、高表示品質の液晶表示装置を達成することができる。

【図面の簡単な説明】

【図1】 (a)はマトリクス型液晶表示装置の構成を示す図、(b)はその画素の構成を説明するための図、(c)は駆動信号を示す図。

【図2】 従来のマトリクス型液晶表示装置に用いられている単結晶シリコンMOSトランジスタの電圧-電流特性を示した図。

【図3】 ゲート線及びデータ線の駆動方法の従来例を示す図。

【図4】 従来の駆動方法によるスイッチングTFTの駆動を説明するための図。

【図5】 本発明の第一の実施例を説明するための図。

【図6】 本発明の第一の実施例を説明するための図。

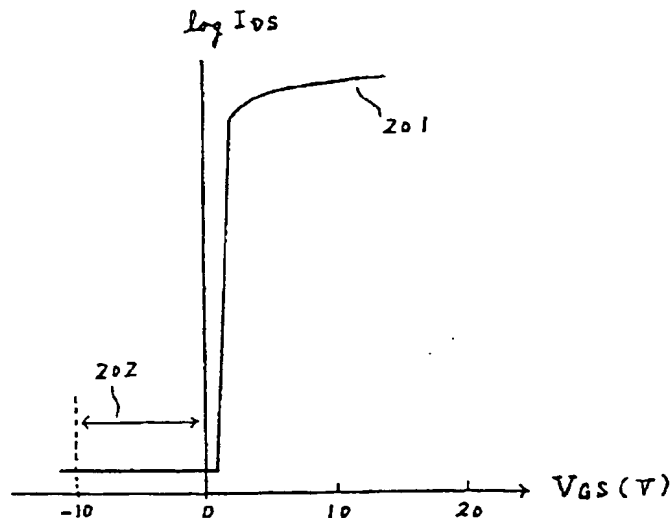
【図7】 本発明の第一の実施例を説明するための図。

【図8】 本発明の第二の実施例を説明するための図。

【図9】 本発明の第二の実施例を説明するための図。

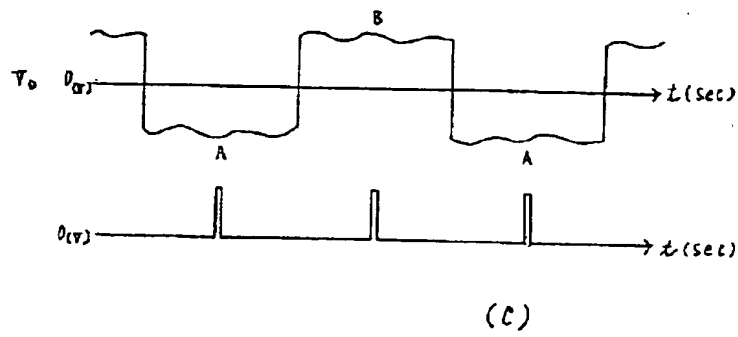
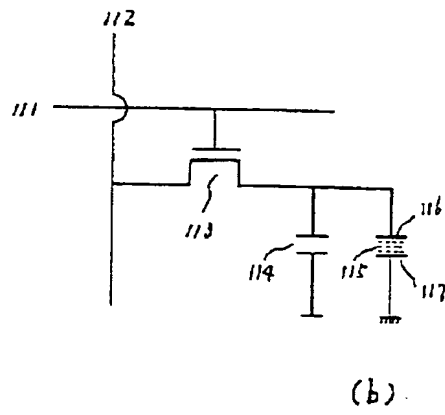
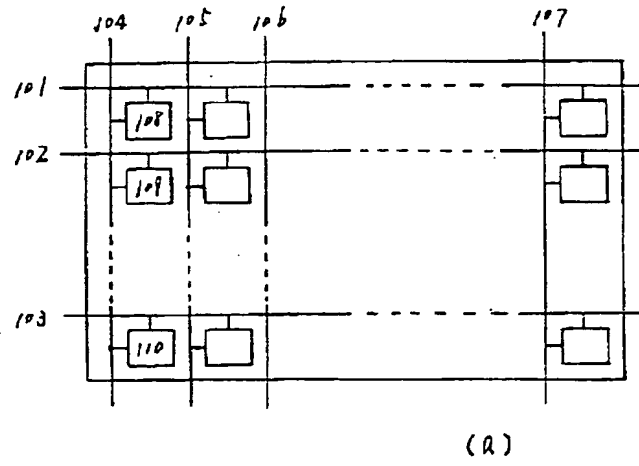
【図10】 本発明の第二の実施例を説明するための図。

【図2】



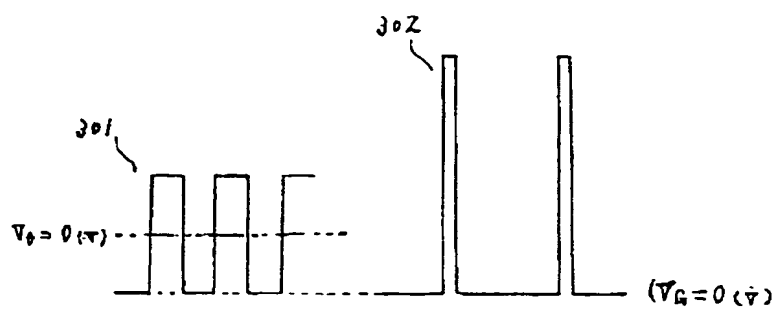
(4)

【図1】

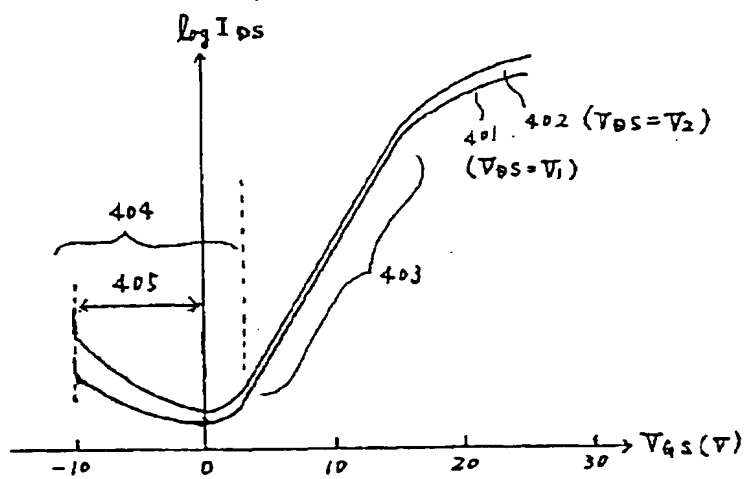


(5)

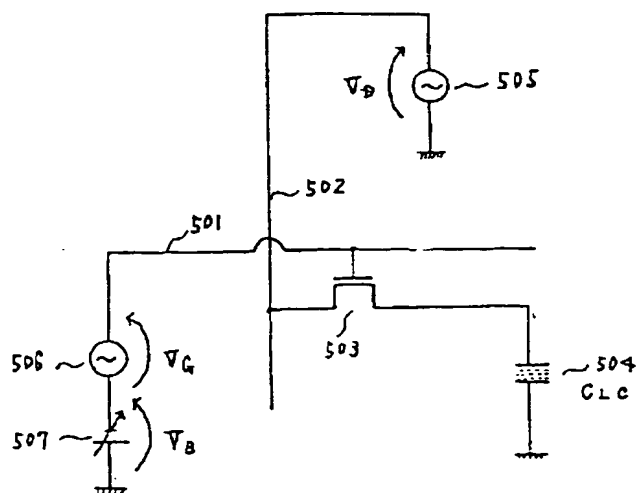
【図3】



【図4】

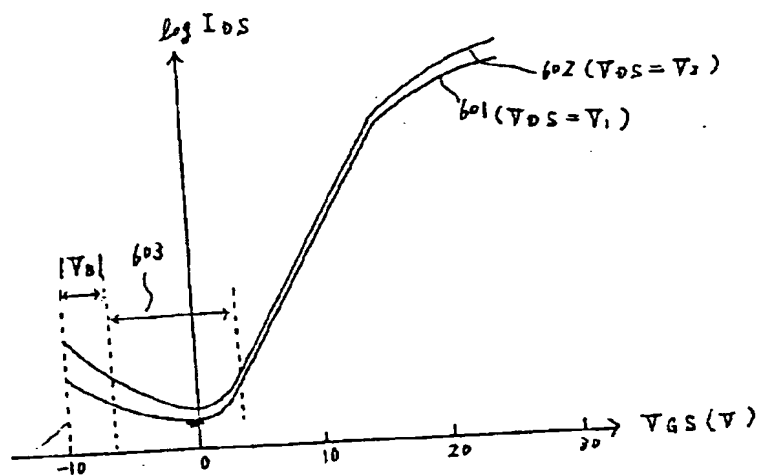


【図5】

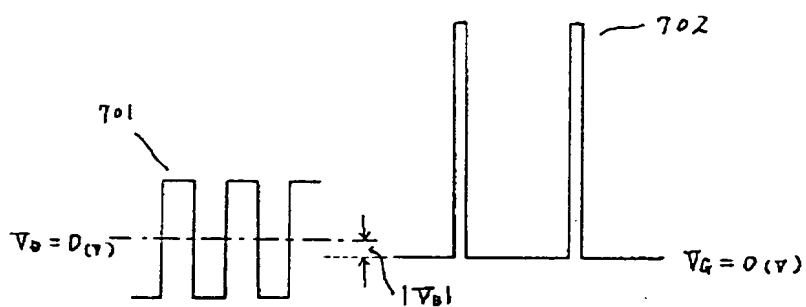


(6)

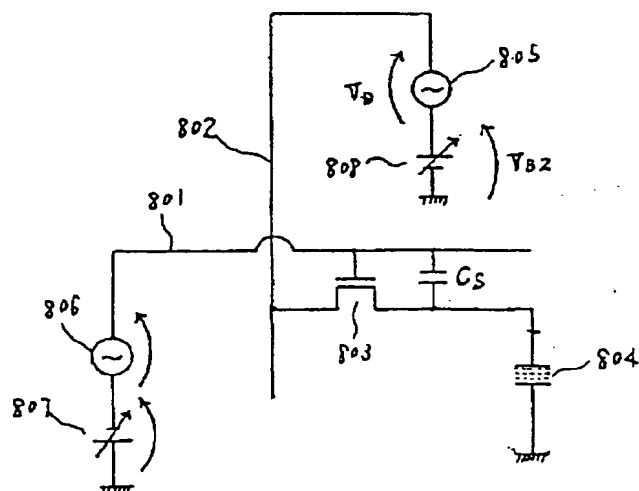
【図 6】



【図 7】

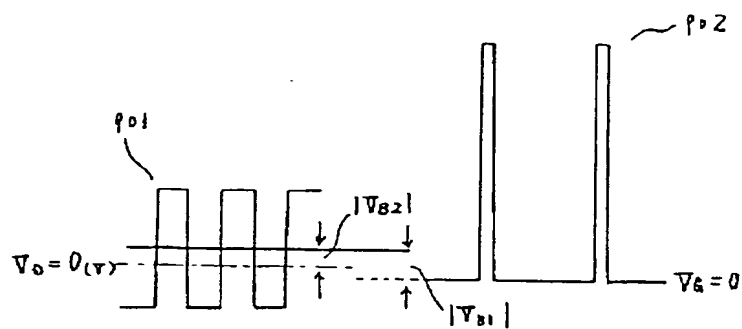


【図 8】

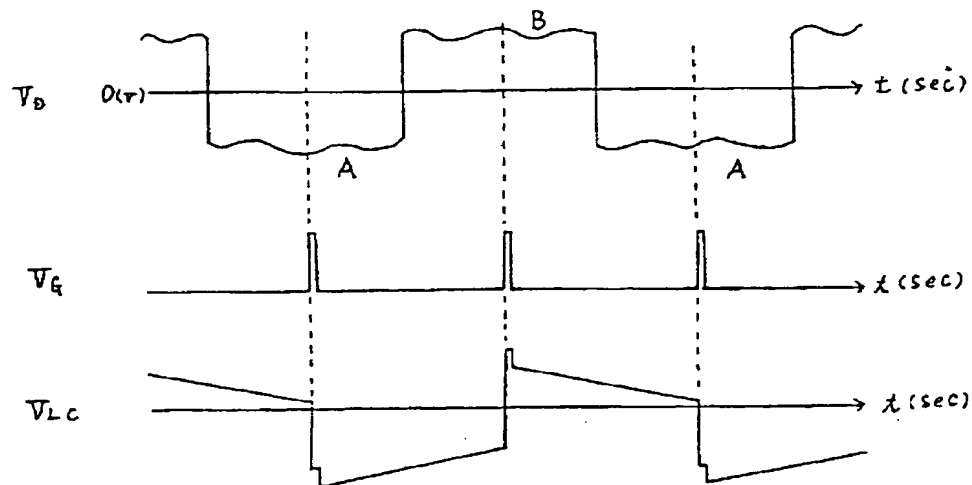


(7)

【図 9】



【図 10】



**THIS PAGE BLANK (USPTO)**